

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-205102

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 3 K 5/13

H 0 3 K 5/13

5/00

H 0 3 L 7/00

D

H 0 3 L 7/00

H 0 3 K 5/00

V

審査請求 未請求 請求項の数9 O L (全 15 頁)

(21) 出願番号

特願平10-4979

(22) 出願日

平成10年(1998) 1月13日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 吉村 勉

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 中瀬 泰伸

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72) 発明者 諸岡 毅一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 弁理士 吉田 茂明 (外2名)

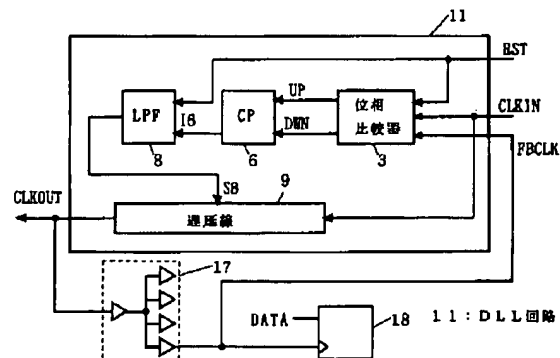
最終頁に続く

(54) 【発明の名称】 遅延同期回路

(57) 【要約】

【課題】 遅延線の変遅延時間範囲を増大させることなく正確な遅延同期動作が可能なDLL回路を得る。

【解決手段】 位相比較器3、チャージポンプ6、LPF8及び遅延線9によってDLLが構成され、入力信号CLKINとフィードバック信号FBCLKとの位相が一致するように動作するDLL回路において、位相比較器3は、リセット動作実行後の初期動作時に、遅延線9の遅延時間を増加させることを指示する位相比較結果を必ず出力し、LPF8はリセット実行時に遅延線9による遅延時間DT9が最小になることを指示する遅延調整信号S8を出力する。



【特許請求の範囲】

【請求項1】 基準クロック信号と実使用クロック信号との位相を同期させる遅延同期回路であって、前記基準クロック信号と前記実使用クロック信号との位相を比較する位相比較手段と、前記位相比較手段の位相比較結果に基づき遅延制御信号を出力する遅延時間制御手段と、第1の限界遅延時間から第2の限界遅延時間に至る可変遅延時間範囲を有し、前記遅延制御信号の指示する遅延時間で前記基準クロック信号を遅延させて遅延基準クロック信号を出力する可変遅延手段とを備え、前記遅延基準クロック信号が前記遅延同期回路外の回路を伝播した後の信号が前記実使用クロック信号となり、前記遅延時間制御手段はリセット信号を受け、該リセット信号が活性状態のとき前記第1の限界遅延時間を指示する前記遅延時間制御信号を出力し、前記位相比較手段は前記リセット信号を受け、前記リセット信号が活性状態から非活性状態となった時点から前記基準クロック信号と前記実使用クロック信号とが同期するに至るまでを含む同期処理期間において、前記第1の限界遅延時間から前記第2の限界遅延時間に至る第1の方向への遅延時間の変動を強制的に指示する前記位相比較結果を出力する、遅延同期回路。

【請求項2】 前記位相比較手段の前記位相比較結果は、前記第1の方向の遅延時間の変動の有／無を活性／非活性状態で指示する第1の比較結果と、前記第1の方向と逆方向の第2の方向への遅延時間の変動の有／無を活性／非活性状態で指示する第2の比較結果を含み、前記位相比較手段は、前記基準クロック信号と前記実使用クロック信号との位相差に基づき、前記第1の比較結果を出力する第1の位相比較部を備え、前記第1の位相比較部は前記第2の比較結果を受け、前記第2の比較結果が活性状態のとき前記第1の比較結果を強制的に非活性状態とし、前記基準クロック信号と前記実使用クロック信号との位相差に基づき、前記第2の比較結果を出力する第2の位相比較部をさらに備え、前記第2の位相比較部は前記第1の比較結果を受け、前記第1の比較結果が活性状態のとき前記第2の比較結果を強制的に非活性状態とし、前記第2の位相比較部は前記リセット信号をさらに受け、前記リセット信号が活性状態のとき、前記第2の比較結果を強制的に非活性状態にすることを特徴とする、請求項1記載の遅延同期回路。

【請求項3】 前記リセット信号は外部より入力可能な外部リセット信号を含む、請求項1あるいは請求項2に記載の遅延同期回路。

【請求項4】 前記リセット信号は内部で生成される内部リセット信号を含み、前記位相比較結果に関連した信号をモニタし、前記位相比較結果が所定方向の遅延時間の変動を指示する度合い

に基づき同期はずれ状態の有無を判定し、その判定結果に基づき前記内部リセット信号を出力する同期はずれ判定手段をさらに備え、前記同期はずれ検出手段は、前記同期はずれ状態を判定すると前記内部リセット信号を所定期間活性状態とした後に非活性状態にする、請求項1記載の遅延同期回路。

【請求項5】 前記遅延時間制御手段は、前記位相比較結果の指示内容に基づき、出力部からの電流の供給あるいは前記出力部への電流の引き抜きを行うチャージポンプと、前記チャージポンプの前記出力部に接続される所定のノードを有し、ローパスフィルタリング処理して得られる前記所定ノードの電位に基づき前記遅延時間制御信号を出力するローパスフィルタとを備え、前記位相比較結果に関連した信号は前記所定のノードの電位を含む、請求項4記載の遅延同期回路。

【請求項6】 前記所定方向は前記第1の方向と逆の第2の方向を含み、前記同期はずれ判定手段は、前記同期はずれ状態の有無に基づく判定関連信号をさらに出力し、前記判定関連信号を受け、前記判定関連信号から前記同期はずれ状態判定時を認識し、前記同期はずれ状態判定時をトリガとして前記遅延基準クロック信号の位相を反転させる反転操作を行う位相反転手段をさらに備える、請求項4記載の遅延同期回路。

【請求項7】 前記ロックはずれ判定手段は、外部より入力可能な外部リセット信号をさらに受け、該外部リセット信号が活性状態のとき、強制的に前記内部リセット信号を活性状態にする、請求項4ないし請求項6のうちのいずれか1項に記載の遅延同期回路。

【請求項8】 前記第1の限界遅延時間は前記可変遅延時間範囲内の最小遅延時間を含み、前記第2の限界遅延時間は前記可変遅延時間範囲内の最大遅延時間を含み、前記第1の方向は遅延時間を増加させる方向を含む、請求項1～請求項7のうちのいずれか1項に記載の遅延同期回路。

【請求項9】 基準クロック信号と実使用クロック信号との位相を同期させる遅延同期回路であって、前記基準クロック信号と前記実使用クロック信号との位相を比較する位相比較手段と、前記位相比較手段の位相比較結果に基づき遅延制御信号を出力する遅延時間制御手段と、前記遅延制御信号の指示する遅延時間で前記基準クロック信号を遅延させて遅延基準クロック信号を出力する可変遅延手段とを備え、前記遅延基準クロック信号が前記遅延同期回路外の回路を伝播した後の信号が前記実使用クロック信号となり、前記位相比較結果に関連した信号をモニタし、前記位相比較結果が所定方向の遅延時間の変動を指示する度合いに基づき同期はずれ状態の有無を判定する同期はずれ判

定手段をさらに備える、遅延同期回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、入力信号とその入力信号を遅延させた信号との位相を比較し、タイミングを同一にするように遅延段を調整するDLL回路（遅延同期回路）に関するものである。

【0002】

【従来の技術】図15は従来のDLL（Delay Locked Loop）回路の構成を示す説明図である。同図に示すように、位相比較器（PFD）23は基準クロック信号である入力信号CLK INと実使用クロック信号であるフィードバック信号FBCLKとの位相を比較してアップ信号UP及びダウン信号DWNをCP（チャージポンプ）6に出力する。フィードバック信号FBCLKは、入力信号CLK INが遅延線9、内部回路17を伝播して得られる信号であり、遅延線9及び内部回路17を伝播する分、遅延時間が生じる。内部回路17はクロック処理系の内部回路であり、例えばクロックツリー等がある。

【0003】チャージポンプ6はアップ信号UP及びダウン信号DWNに基づき電流I6をLPF（ローパスフィルタ）28に供給したり、LPF28から引き抜いたりする。具体的にはアップ信号UPが“H”のときLPF28に電流I6を供給し、ダウン信号DWNが“H”のときLPF28から電流I6を引き抜く。

【0004】LPF28は電流I6を積分し、その積分結果（ノードN1の電位V1）に基づき遅延線9に対する遅延調整信号S28を出力する。LPF28は外部リセット信号RSTが“H”レベルのとき、電流I6に関係なく遅延線9による遅延時間が最小になることを指示する遅延調整信号S28を出力する。

【0005】遅延線9は遅延調整信号S28の指示する遅延時間DT9分、入力信号CLK INを遅延させて遅延基準クロック信号である遅延入力信号CLK OUTを出力する。遅延線9から出力された遅延入力信号CLK OUTが内部回路17を経て遅延されたフィードバック信号FBCLKが、データラッチ18等のタイミング制御用のクロックとして使用されとともに位相比較器23にフィードバック入力される。

【0006】このような構成のDLL回路10は、位相比較器23、チャージポンプ6、LPF28及び遅延線9によってDLLが構成され、入力信号CLK INとフィードバック信号FBCLKとの位相が一致するよう遅延線9の遅延時間DT9を調整する。したがって、内部回路17による遅延時間の大小に関わらず入力信号CLK INと同期したデータDATAをフィードバック信号FBCLKに基づきラッチできる。

【0007】図16は位相比較器23の内部構成を示すブロック図である。位相比較器23は、例えば、「Sypo

sium on VLSI Circuits Digest of Technical Papers, 94, pp. 129-130」に開示されている。図16に示すように、位相比較部20U及び20Dはクロック入力CLKより得られる信号とフィードバック入力FBより得られる信号との位相差に基づき、アップ信号UP及びダウン信号DWNをそれぞれ出力する。

【0008】位相比較部20Uはクロック入力CLKに入力信号CLK INを受け、フィードバック入力FBにフィードバック信号FBCLKを受け、インヒビット入力INHにダウン信号DWNを受ける。一方、位相比較部20Dはクロック入力CLKにフィードバック信号FBCLKを受け、フィードバック入力FBに入力信号CLK INを受け、インヒビット入力INHにアップ信号UPを受ける。

【0009】図17は位相比較部20U（20D）の内部構成を示す回路図である。同図に示すように、インバータ41の入力はクロック入力CLKに接続される。一方、電源から接地レベルにかけて直列にPMOSTランジスタQ1、NMOSTランジスタQ2、Q3が介挿される。PMOSTランジスタQ1及びNMOSTランジスタQ3のゲートは共にインバータ41の出力に接続される。

【0010】一方、電源から接地レベルにかけて直列にPMOSTランジスタQ4、NMOSTランジスタQ5及びQ6が介挿される。また、NMOSTランジスタQ5に対して並列にNMOSTランジスタQ7が接続される。PMOSTランジスタQ4及びNMOSTランジスタQ6のゲートは共にPMOSTランジスタQ1（NMOSTランジスタQ2）のドレインに接続され、NMOSTランジスタQ5のゲートがフィードバック入力FBに接続され、NMOSTランジスタQ7のゲートはインヒビット入力INHに接続される。

【0011】さらに、電源から接地レベルにかけて直列にPMOSTランジスタQ8、NMOSTランジスタQ9及びQ10が介挿される。PMOSTランジスタQ8及びNMOSTランジスタQ10のゲートは共にPMOSTランジスタQ4（NMOSTランジスタQ5、Q7）のドレインに接続され、NMOSTランジスタQ9のゲートはPMOSTランジスタQ1のドレインに接続され、PMOSTランジスタQ8（NMOSTランジスタQ9）のドレインがインバータ42の入力部に接続されるとともにNMOSTランジスタQ2のゲートに接続される。

【0012】そして、インバータ42の出力より得られる信号がアップ信号UP（ダウン信号DWN）となる。

【0013】図18及び図19は図16及び図17で示した構成の位相比較器23による位相比較動作を示すタイミング図である。図18に示すように、フィードバック信号FBCLKの位相が入力信号CLK INより遅れている場合、位相比較部20Uのアップ信号UPは入力

信号CLK INの立ち上がり時からフィードバック信号FBCLKの立ち上がり時に至る期間中に“H”となり、位相比較部20Dのダウン信号DWNは常に“L”となる。

【0014】したがって、位相比較器23のアップ信号UP及びダウン信号DWNは、フィードバック信号FBCLKの位相を進めることを指示したことになるため、チャージポンプ6、LPF28によって遅延線9による遅延時間DT9が減少するように制御される。

【0015】図19に示すように、フィードバック信号FBCLKの位相が入力信号CLK INより進んでいる場合、位相比較部20Dのダウン信号DWNはフィードバック信号FBCLKの立ち上がり時から入力信号CLK INの立ち上がり時に至る期間中に“H”となり、位相比較部20Uのアップ信号UPは常に“L”となる。

【0016】したがって、位相比較器23のアップ信号UP及びダウン信号DWNは、フィードバック信号FBCLKの位相を遅らせることを指示したことになるため、チャージポンプ6、LPF28によって遅延線9による遅延時間DT9が増加するように制御される。

【0017】

【発明が解決しようとする課題】しかしながら、従来のDLL回路では内部回路17による遅延時間によって入力信号CLK INとフィードバック信号FBCLKとの位相関係が多様に決定されるため、初期動作時において位相比較器23が位相を進めることを指示するか遅らせることを指示するかの判断ができない。

【0018】したがって、従来のDLL回路の遅延線9は、入力信号CLK INとフィードバック入力FBとがどのような位相関係でも同期させるに十分な可変遅延時間範囲（少なくとも入力信号CLK INの信号周期Tの2倍以上）をもたせるため、その遅延段数を大きくとる必要があった。これに伴いDLL回路の回路規模の増大、消費電力の増大を招いてしまうという問題点があった。

【0019】次に内部回路17による遅延時間が動作中に変動した場合のロックはずれ現象について、図20を用いて説明する。従来のDLL回路は、入力信号CLK INとフィードバック信号FBCLKとの位相を一致させるために、内部回路17による遅延時間DT17と遅延線9による遅延時間DT9との合計遅延時間は常に入力信号CLK INの周期Tの整数倍となるようにしている。遅延線9の可変遅延時間範囲が小さい場合、内部回路17による遅延時間DT17が温度などの条件で緩やかに変動した場合、ある値以上の変動に関しては遅延線9の可変遅延時間範囲外になり、位相を一致させることが不可能となる。

【0020】例えば、図20に示すように、内部回路17の遅延時間DT17と遅延線9との遅延時間DT9との合計遅延時間（DT17+DT9）が時刻t0でkT

（kは自然数）で同期していたのが、時間経過とともに内部回路17の遅延時間DT17が増加していく場合を考える。

【0021】この場合、フィードバック信号FBCLKは入力信号CLK INよりも位相が遅れるため、DLL回路10は位相を進める方向、すなわち遅延線9の遅延時間DT9を減少させるように動作する。その結果、時刻t1までは、遅延時間DT17の増加を遅延時間DT9の減少で補うことにより合計遅延時間（DT17+DT9）=kTをちり、入力信号CLK INとフィードバック信号FBCLKとを同期させることができる。

【0022】しかしながら、時刻t1を過ぎて遅延時間DT17がさらに大きくなると遅延線9の可変遅延時間範囲（図20の斜線領域）から外れてしまう。すなわち、遅延線9の遅延時間DT9を最小遅延時間ΔDTにしても、（DT17+DT9）>kTとなってしまうため、フィードバック信号FBCLKの位相を進めることによって、入力信号CLK INとフィードバック信号FBCLKとを同期させることが不可能となる。このような現象をロックはずれ現象という。

【0023】ロックはずれ現象を解決する場合にも、遅延線9の遅延段数を十分大きくとり、可変遅延時間範囲を大きく増やす必要がある。このため、前述したように、回路構成の増大、消費電力の増大を招いてしまい、ひいては遅延線9の遅延段数の増大に伴い遅延線9のノイズ耐性にも悪影響を及ぼすという問題点があった。

【0024】この発明は上記問題点を解決するためになされたもので、遅延線の可変遅延時間範囲を増大させることなく正確な遅延同期動作が可能なDLL回路あるいはロックはずれ現象時に対応可能なDLL回路を得ることを目的とする。

【0025】

【課題を解決するための手段】この発明にかかる請求項1記載の遅延同期回路は、基準クロック信号と実使用クロック信号との位相を同期させる回路であって、前記基準クロック信号と前記実使用クロック信号との位相を比較する位相比較手段と、前記位相比較手段の位相比較結果に基づき遅延制御信号を出力する遅延時間制御手段と、第1の限界遅延時間から第2の限界遅延時間に至る可変遅延時間範囲を有し、前記遅延制御信号の指示する遅延時間で前記基準クロック信号を遅延させて遅延基準クロック信号を出力する可変遅延手段とを備え、前記遅延基準クロック信号が前記遅延同期回路外の回路を伝播した後の信号が前記実使用クロック信号となり、前記遅延時間制御手段はリセット信号を受け、該リセット信号が活性状態のとき前記第1の限界遅延時間を指示する前記遅延時間制御信号を出力し、前記位相比較手段は前記リセット信号を受け、前記リセット信号が活性状態から非活性状態となった時点から前記基準クロック信号と前記実使用クロック信号とが同期するに至るまでを含む同

期処理期間において、前記第1の限界遅延時間から前記第2の限界遅延時間に至る第1の方向への遅延時間の変動を強制的に指示する前記位相比較結果を出力している。

【0026】また、請求項2記載の遅延同期回路において、前記位相比較手段の前記位相比較結果は、前記第1の方向の遅延時間の変動の有／無を活性／非活性状態で指示する第1の比較結果と、前記第1の方向と逆方向の第2の方向への遅延時間の変動の有／無を活性／非活性状態で指示する第2の比較結果を含み、前記位相比較手段は、前記基準クロック信号と前記実使用クロック信号との位相差に基づき、前記第1の比較結果を出力する第1の位相比較部を備え、前記第1の位相比較部は前記第2の比較結果を受け、前記第2の比較結果が活性状態のとき前記第1の比較結果を強制的に非活性状態とし、前記基準クロック信号と前記実使用クロック信号との位相差に基づき、前記第2の比較結果を出力する第2の位相比較部をさらに備え、前記第2の位相比較部は前記第1の比較結果を受け、前記第1の比較結果が活性状態のとき前記第2の比較結果を強制的に非活性状態とし、前記第2の位相比較部は前記リセット信号をさらに受け、前記リセット信号が活性状態のとき、前記第2の比較結果を強制的に非活性状態にしている。

【0027】また、請求項3記載の遅延同期回路において、前記リセット信号は外部より入力可能な外部リセット信号を含んでいる。

【0028】また、請求項4記載の遅延同期回路において、前記リセット信号は内部で生成される内部リセット信号を含み、前記位相比較結果に関連した信号をモニタし、前記位相比較結果が所定方向の遅延時間の変動を指示する度合いに基づき同期はずれ状態の有無を判定し、その判定結果に基づき前記内部リセット信号を出力する同期はずれ判定手段をさらに備え、前記同期はずれ検出手段は、前記同期はずれ状態を判定すると前記内部リセット信号を所定期間活性状態とした後に非活性状態にしている。

【0029】また、請求項5記載の遅延同期回路において、前記遅延時間制御手段は、前記位相比較結果の指示内容に基づき、出力部からの電流の供給あるいは前記出力部への電流の引き抜きを行うチャージポンプと、前記チャージポンプの前記出力部に接続される所定のノードを有し、ローパスフィルタリング処理して得られる前記所定ノードの電位に基づき前記遅延時間制御信号を出力するローパスフィルタとを備え、前記位相比較結果に関連した信号は前記所定のノードの電位を含んでいる。

【0030】また、請求項6記載の遅延同期回路において、前記所定方向は前記第1の方向と逆の第2の方向を含み、前記同期はずれ判定手段は、前記同期はずれ状態の有無に基づく判定関連信号をさらに出力し、前記判定関連信号を受け、前記判定関連信号から前記同期はずれ

状態判定時を認識し、前記同期はずれ状態判定時をトリガとして前記遅延基準クロック信号の位相を反転させる反転操作を行う位相反転手段をさらに備えている。

【0031】また、請求項7記載の遅延同期回路において前記ロックはずれ判定手段は、外部より入力可能な外部リセット信号をさらに受け、該外部リセット信号が活性状態のとき、強制的に前記内部リセット信号を活性状態にしている。

【0032】また、請求項8記載の遅延同期回路において、前記第1の限界遅延時間は前記可変遅延時間範囲内の最小遅延時間を含み、前記第2の限界遅延時間は前記可変遅延時間範囲内の最大遅延時間を含み、前記第1の方向は遅延時間を増加させる方向を含んでいる。

【0033】この発明にかかる請求項9記載の遅延同期回路は、基準クロック信号と実使用クロック信号との位相を同期させる回路であって、前記基準クロック信号と前記実使用クロック信号との位相を比較する位相比較手段と、前記位相比較手段の位相比較結果に基づき遅延制御信号を出力する遅延時間制御手段と、前記遅延制御信号の指示する遅延時間で前記基準クロック信号を遅延させて遅延基準クロック信号を出力する可変遅延手段とを備え、前記遅延基準クロック信号が前記遅延同期回路外の回路を伝播した後の信号が前記実使用クロック信号となり、前記位相比較結果に関連した信号をモニタし、前記位相比較結果が所定方向の遅延時間の変動を指示する度合いに基づき同期はずれ状態の有無を判定する同期はずれ判定手段をさらに備えている。

【0034】

【発明の実施の形態】<<実施の形態1>>

<全体構成>図1はこの発明の実施の形態1であるDLL (Delay Locked Loop) 回路の構成を示す説明図である。同図に示すように、位相比較器3は通常比較動作時に基準クロック信号である入力信号CLKINと実使用クロック信号であるフィードバック信号FBCLKとの位相を比較してアップ信号UP及びダウン信号DWNをCP6に出力する。フィードバック信号FBCLKは、入力信号CLKINが遅延線9、クロックツリー等のクロック処理系の内部回路17を伝播して得られる信号であり、遅延線9及び内部回路17を伝播する分、遅延時間が生じる。

【0035】位相比較器3は外部リセット信号RSTの“L”/“H”に基づき通常比較動作/リセット入力比較動作を行う。位相比較器3は、リセット入力比較動作時は必ず位相を遅らせる、すなわち、遅延線9の遅延時間を増加させることを指示する位相比較結果(アップ信号UP及びダウン信号DWN)を出力する。また、リセット入力比較動作直後の通常比較動作時も、入力信号CLKINとフィードバック信号FBCLKとが同期するまでリセット入力比較動作の影響を受けて、遅延線9の遅延時間を増加させることを指示する位相比較結果を出

力する。

【0036】チャージポンプ6はアップ信号UP及びダウン信号DWNに基づき電流I6をLPF8に供給したり、LPF8から引き抜いたりする。具体的にはアップ信号UPの“H”のときLPF8に電流I6を供給し、ダウン信号DWNが“H”のときLPF8から電流I6を引き抜く。

【0037】LPF8は電流I6を積分し、その積分結果に基づき遅延線9に対する遅延調整信号S8を出力する。LPF8は外部リセット信号RSTが“H”レベルのとき、電流I6に関係なく遅延線9による遅延時間DT9が最小になることを指示する遅延調整信号S8を出力する。

【0038】遅延線9は遅延調整信号S8の指示する遅延時間DT9分、入力信号CLKINを遅延させて遅延基準クロック信号である遅延入力信号CLKOUTを出力する。遅延線9から出力された遅延入力信号CLKOUTが内部回路17を経て得られるフィードバック信号FBCLKが、データラッチ18等のタイミング制御用のクロックとして使用されとともに位相比較器3にフィードバック入力される。

【0039】このような構成の実施の形態1のDLL回路11は、従来同様、位相比較器3、チャージポンプ6、LPF8及び遅延線9によってDLLが構成され、入力信号CLKINとフィードバック信号FBCLKとの位相が一致するように作用する。

【0040】ただし、外部リセット信号RSTを“H”としたとき、必ず位相比較器3は位相を遅らせることを指示するアップ信号UP及びダウン信号DWNを出力し、LPF8は最小遅延時間 ΔDT を指示する遅延調整信号S8をLPF8に出力する。

【0041】したがって、実施の形態1のDLL回路11は、初期動作時には外部リセット信号RSTを所定期間“H”にした後に“L”にすれば、遅延線9の遅延時間DT9を最小遅延時間 ΔDT に初期設定した後、遅延線9の遅延時間DT9を増加させる方向で必ず遅延同期動作を行う。

【0042】その結果、実施の形態1のDLL回路11は、初期動作時には、遅延時間DT9を減少させて遅延同期を行う場合を考慮することなく遅延線9の可変遅延時間範囲を設定することにより、遅延線9の可変遅延時間範囲を小さく（入力信号CLKINの信号周期T程度に）設定することができる。

【0043】このように、実施の形態1のDLL回路11は、遅延線9の段数を従来に比較して小さくしても初期動作時に正確な遅延同期動作が行えるため、回路構成及び消費電力を最小限にしたDLL回路を得ることができる。

【0044】＜位相比較器＞図2は位相比較器3の内部構成を示すブロック図である。同図に示すように、位相

比較部4U、4Dはそれぞれクロック入力CLKより得られる信号とフィードバック入力FBより得られる信号との位相差に基づきアップ信号UP、ダウン信号DWNを出力する。

【0045】位相比較部4Uはクロック入力CLKに入力信号CLKINを受け、フィードバック入力FBにフィードバック信号FBCLKを受け、インヒビット入力INHにダウン信号DWNを受ける。さらに、位相比較部4Uはリセット入力Rを有し、リセット入力Rに外部リセット信号RSTを受ける。

【0046】一方、位相比較部4Dはクロック入力CLKにフィードバック信号FBCLKを受け、フィードバック入力FBに入力信号CLKINを受け、インヒビット入力INHにアップ信号UPを受ける。さらに、位相比較部4Dはリセット入力Rを有し、リセット入力Rは接地レベルに固定される。

【0047】図3は位相比較部4U（4D）の内部構成を示す回路図である。同図に示すように、NMOSTランジスタQ11がNMOSTランジスタQ5及びQ7に対して並列に接続され、NMOSTランジスタQ11のゲートがリセット入力Rに接続される。なお、他の構成は図17で示した従来の位相比較部20U（20D）と同様である。

【0048】図4及び図5は、図2及び図3で示した構成の位相比較器3による位相比較動作を示すタイミング図である。図4は入力信号CLKINに対してフィードバック信号FBCLKの位相が早い場合、図5は入力信号CLKINに対してフィードバック信号FBCLKの位相が遅い場合の動作を示している。また、図4及び図5において、EVLは位相比較部4U（4D）のPMOSTランジスタQ1のドレイン電位、U1はPMOSTランジスタQ4のドレイン電位を意味する。

【0049】以下、図4に示すタイミング動作について説明する。位相比較部4Dのリセット入力Rは“L”固定のため、外部リセット信号RSTの“H”、“L”に関わらず、フィードバック信号FBCLKの立ち上がり時から入力信号CLKINの立ち上がり時に相当する期間、ダウン信号DWNとして“H”を出力する。

【0050】一方、位相比較部4Uはリセット期間（外部リセット信号RST信号が“H”の期間）中はNMOSTランジスタQ11がオン状態となり、インヒビット入力INHに“H”の信号が入力されているのと同じ動作、すなわち、常に電位U1が電位EVLの反転値となるため、アップ信号UPが“H”となる期間は実質的に存在しなくなる。そして、外部リセット信号RSTが“L”となってリセットが解除された後も、位相比較部4Uのインヒビット入力INHに“H”のダウン信号DWNが付与されることにより、アップ信号UPが“H”となる期間は実質的に存在しないように制御される。

【0051】次に図5に示すタイミング動作について説明する。図4の場合と同様に、リセット期間中の位相比較部4Uは“H”となるアップ信号UPを実質的に出力しない。したがって、位相比較部4Dは図4の場合と同様にフィードバック信号FBCLKの立ち上がり時から入力信号CLKINの立ち上がり時までに対応する期間に“H”のダウン信号DWN号を出力する。

【0052】リセット解除後も、位相比較部4Dはリセット期間中と同じように、フィードバック信号FBCLKの立ち上がり時から入力信号CLKINの立ち上がり時までに相当する期間に“H”のダウン信号DWNを出力するのに対し、位相比較部4Uのインヒビット入力INHに“H”のダウン信号DWNが付与されることにより、アップ信号UPが“H”となる期間は実質的に存在しないように制御される。

【0053】なお、図4及び図5では、位相比較器3の動作説明の都合上、アップ信号UPが“H”となる期間を目視可能に示したが、電位EVLの立ち上がりとはほぼ同時に電位U1が立ち下がるためアップ信号UPが“H”となる期間は実質的には存在しない。

【0054】このように、入力信号CLKINとフィードバック入力FBとの位相関係がどのような場合でも、リセット動作実行後はフィードバック信号FBCLKの立ち上がり時から入力信号CLKINの立ち上がり時までに相当する期間は“H”のダウン信号DWNを出力し、アップ信号UPはほとんど“H”となる期間はない。

【0055】すなわち、位相比較器3は、リセット動作実行後は必ずフィードバック信号FBCLKの位相を遅らせることを指示するアップ信号UP及びダウン信号DWNを出力する。その結果、位相比較器3の後段に接続されるチャージポンプ6、LPF28によって遅延線9による遅延時間DT9が増加するように制御される。

【0056】＜LPF（ローパスフィルタ）、遅延線＞図6はLPF8の内部構成を示す回路図である。同図に示すように、電流I6の供給／引き抜きを行うチャージポンプ6の出力部が抵抗R1を介してノードN1に接続される。また、電源からノードN1にかけてPMOSTランジスタQ21及びトランスファゲート50が介挿され、PMOSTランジスタQ21のゲートはドレインに接続され、トランスファゲート50のNMOSゲートは外部リセット信号RSTを受け、トランスファゲート50のPMOSゲートはインバータ49を介して得られる外部リセット信号RSTの反転信号を受ける。また、ノードN1、接地レベル間にキャパシタC1が介挿される。

【0057】電源、接地レベル間に、PMOSTランジスタQ23、NMOSTランジスタQ25及び抵抗R2が直列に介挿されるとともに、PMOSTランジスタQ24、NMOSTランジスタQ26及び抵抗R3が直列に

介挿される。

【0058】PMOSTランジスタQ23のドレイン、ゲートは共通接続され、PMOSTランジスタQ23、Q24はゲートが共通接続される。NMOSTランジスタQ25のゲートはノードN1に接続され、NMOSTランジスタQ26のドレイン、ゲートが共通接続される。

【0059】そして、PMOSTランジスタQ23のゲートより得られる調整電圧VP、及びNMOSTランジスタQ26のゲートより得られる調整電圧VNを遅延調整信号S8として遅延線9に出力する。

【0060】図7は遅延線9の内部構成を示す回路図である。同図に示すように、遅延線9は複数の直列接続された電流制御型のインバータ部G1、G2、…から構成され、インバータ部G1、G2、…はそれぞれ調整電圧VP、VNによって各々の信号伝播遅延時間が調整される。

【0061】インバータ部G1、G2、…はそれぞれ電源、接地レベル間に直列に接続されたPMOSTランジスタQ31、Q32及びNMOSTランジスタQ33、Q34から構成される。

【0062】インバータ部G1において、PMOSTランジスタQ31のゲートは調整電圧VPを受け、PMOSTランジスタQ32及びNMOSTランジスタQ33のゲートは入力信号CLKINを共通に受け、NMOSTランジスタQ34のゲートは調整電圧VNを受ける。

【0063】インバータ部G2において、PMOSTランジスタQ31のゲートは調整電圧VPを受け、PMOSTランジスタQ32及びNMOSTランジスタQ33のゲートはインバータ部G1の出力信号（PMOSTランジスタQ32のドレインより得られる信号）を共通に受け、NMOSTランジスタQ34のゲートは調整電圧VNを受ける。

【0064】同様に、インバータ部G2の後段のインバータ部において、PMOSTランジスタQ31のゲートは調整電圧VPを受け、PMOSTランジスタQ32及びNMOSTランジスタQ33のゲートは前段のインバータ部G1の出力信号を共通に受け、NMOSTランジスタQ34のゲートは調整電圧VNを受ける。そして、最終段のインバータ部の出力が遅延入力信号CLKOUTとなる。

【0065】以下、図6で示したLPF8の動作について図8のグラフを参照して説明する。外部リセット信号RSTが“H”のとき、トランスファゲート50がオン状態となり、ノードN1の電位V1は電源電圧VDDからPMOSTランジスタQ21の閾値電圧VTHPを差し引いた電位（ $VDD - VTHP$ ）にチャージアップされる。これにより、NMOSTランジスタQ25が強くオンするため、PMOSTランジスタQ23のゲートより得られる調整電圧VPは最低レベルに下がり、NMOSTラン

ジスタQ26のゲートより得られる調整電圧VNは最高レベルに上がる。

【0066】その結果、図7で示した構成の遅延線9の各インバータ部におけるPMOSTランジスタQ31及びNMOSTランジスタQ34は最も強くオンし最大の駆動能力で動作するため、図8に示すように、遅延線9による遅延時間DT9はリセット期間T1中に最小遅延時間ΔDTになる。

【0067】リセット解除後は、LPF8のトランスファゲート50がオフ状態となり、位相比較器3はフィードバック信号FBCLKの位相を遅らせることを指示するアップ信号UP及びダウン信号DWNを出力するため、チャージポンプ6は電流I6をノードN1から引く抜く方向で動作する。

【0068】したがって、遅延調整信号S8における調整電圧VPは上昇し、調整電圧VNは下降するため、図8に示すように、遅延線9の遅延時間DT9は、徐々に上昇していき、リセット解除後からロックイン期間T2経過後にdもて安定する。すなわち、遅延線9の遅延時間DT9がdもるとき、入力信号CLKINとフィードバック信号FBCLKとが同期したことになる。

【0069】このように、実施の形態1のDLL回路11は、リセット動作実行後に行う遅延同期動作を、遅延線9の遅延時間DT9を最小遅延時間ΔDTに初期設定してから始めているため、遅延線9を構成しているカレント制御型インバータG1、G2、…の駆動能力が大きい状態で遅延同期処理が行える。したがって、遅延線9を伝播する信号の波形なまりによるジッタの影響を最小に抑えることが出来る。

【0070】＜＜実施の形態2＞＞

＜全体構成＞図9はこの発明の実施の形態2であるDLL回路12の構成を示す説明図である。同図に示すように、位相比較器3は内部リセット信号IRSの“L”/“H”に基づき通常比較動作/リセット時比較動作を行う。位相比較器3は、リセット時比較動作時には必ず位相を遅れさせる、すなわち、遅延線9の遅延時間を増加させることを指示する位相比較結果を出力する。

【0071】LPF8は電流I6を積分し、その積分結果に基づき遅延線9に対する遅延調整信号S8を出力する。LPF8は内部リセット信号IRSが“H”レベルのとき、チャージポンプ6による電流I6に関係なく遅延線9による遅延時間が最小になる遅延調整信号S8を出力する。

【0072】ロックはずれ判定回路13は充放電状態検出信号S80及び外部リセット信号RSTを受け、内部リセット信号IRS及びスイッチ信号SWを出力する。ロックはずれ判定回路13は、LPF8の充放電状態検出信号S80に基づき同期はずれ現象の有無を検出し、同期はずれ現象を検出すると、内部リセット信号IRSを“H”にするとともに、スイッチ信号SWを反転させ

る。

【0073】ロックはずれ判定回路13は、同期はずれ現象を検出していない状態時は内部リセット信号IRSを“L”にするとともにスイッチ信号SWを現在の状態まま維持する。また、ロックはずれ判定回路13は外部リセット信号RSTが“H”のとき強制的に内部リセット信号IRSを“H”にする。

【0074】スイッチ回路16はスイッチ信号SWの“H”/“L”に基づき入力信号CLKINを反転/非反転した出力信号S16を遅延線9に付与する。なお、他の構成及び接続関係等は実施の形態1のDLL回路11と同様である。

【0075】また、位相比較器3の内部構成は、外部リセット信号RSTに置き換えて内部リセット信号IRSが入力される以外は、図2及び図3で示した位相比較器3の構成と同様な構成である。

【0076】一方、LPF8の内部構成も、外部リセット信号RSTに置き換えて内部リセット信号IRSが入力される以外は、図6で示した実施の形態1のLPF8と同様である。ただし、図6の構成のノードN1の電位V1を充放電状態検出信号S80としてロックはずれ判定回路13に与えている。

【0077】また、遅延線9の内部構成は、図7で示した実施の形態1の遅延線9と同様である。

【0078】このような構成の実施の形態2のDLL回路12は、従来同様、位相比較器3、チャージポンプ6、LPF8、スイッチ回路16及び遅延線9によってDLLが構成され、入力信号CLKINとフィードバック信号FBCLKINとの位相が一致するように作用する。

【0079】ただし、内部リセット信号IRSが“H”のとき（外部リセット信号RSTが“H”、ロックはずれ判定回路13による同期はずれ検出時）、必ず位相比較器3は位相を遅らせることを指示するアップ信号UP及びダウン信号DWNを出力し、LPF8は最小遅延時間ΔDTを指示する遅延調整信号S8を遅延線9に出力する。

【0080】したがって、DLL回路12は、初期動作時には外部リセット信号RSTを所定期間“H”にした後に“L”にすれば、内部リセット信号IRSが“H”となるため、遅延線9の遅延時間DT9を最小遅延時間ΔDTに初期設定した後、遅延時間DT9を増加させる方向で必ず遅延同期動作を行う。

【0081】その結果、実施の形態2のDLL回路12は、実施の形態1同様、遅延時間DT9を減少させる方向を考慮することなく遅延線9の可変遅延時間範囲を設定することにより、遅延線9の可変遅延時間範囲を小さく設定することができ、回路構成及び消費電力を最小限にすることができる。

【0082】＜ロックはずれ判定回路＞図10はロック

はずれ判定回路13の内部構成を示す回路図である。同図に示すように、コンパレータ51は正入力に充放電状態検出信号S80(LPF8のノードN1の電位V1)を受け、負入力に比較電圧VRを受けて比較結果信号S51を出力する。電源電圧VDD、接地レベル間に抵抗R11、R12が直列に接続され、抵抗R11、R12によって抵抗分割して得られる抵抗R11、R12間の電圧が比較電圧VRとなる。

【0083】比較電圧VRは通常時のノードN1の電位V1より高く、チャージポンプ6による電流I6の過剰供給時のノードN1の電位V1より低くなるように設定される。例えば、リセット時のLPF8のノードN1の電位V1である($VDD - V_{THP}$)を考慮して、 $VR = (VDD - V_{THP}) + \alpha$ ($\alpha > 0$)に設定される。

【0084】Dフリップフロップ52~54が直列に接続され、Dフリップフロップ52はD入力に比較結果信号S51を受け、Dフリップフロップ52~54のQ出力信号S52~S54はANDゲート59に入力される。このANDゲート59の出力信号が判定信号S59となる。すなわち、判定信号S59が“H”のときロックはずれ状態を検出したことになる。

【0085】Dフリップフロップ55はクロック入力に判定信号S59を受け、Q出力がインバータ60を介してD入力に帰還する。Dフリップフロップ55のQ出力信号がスイッチ信号SWとなる。

【0086】一方、分周器64は入力信号CLKINを受け、入力信号CLKINの周波数を1/2に分周して分周入力信号WCLKINを出力する。

【0087】Dフリップフロップ56はクロック入力に分周入力信号WCLKINを受け、D入力に判定信号S59を受ける。ANDゲート61は一方入力に判定信号S59を受け、他方入力にDフリップフロップ56のQ出力の反転信号を受ける。ORゲート62は一方入力にANDゲート61の出力信号S61を受け、他方入力に外部リセット信号RSTを受ける。

【0088】各々のクロック入力にフィードバック信号FBCCLKを共通に受けるDフリップフロップ57、58は直列に接続される。そして、Dフリップフロップ57のD入力はORゲート62の出力信号を受ける。また、Dフリップフロップ52~58それぞれのリセット

入力Rに外部リセット信号RSTが共通に付与される。【0089】ORゲート63は一方入力にORゲート62の出力信号を受け、他方入力にDフリップフロップ58のQ出力信号を受ける。そして、ORゲート63の出力信号が内部リセット信号IRSとなる。

【0090】図11は、図10で示したロックはずれ判定回路13によるロックはずれ検出動作を示すタイミング図である。以下、図11を参照してロックはずれ判定回路13の非リセット時(外部リセット信号RSTが“L”)における動作を説明する。

【0091】位相比較器3が、フィードバック信号FBCCLKの位相を進めることを指示するアップ信号UP及びダウン信号DWNを出力し続けても、遅延線9の遅延時間DT9が最小遅延時間 ΔDT に既に達している場合、フィードバック信号FBCCLKINを入力信号CLKINに同期させることはできない(図20の時刻t1以降参照)。

【0092】この場合、チャージポンプ6は電流I6をLPF8に過剰供給することとなり、ノードN1の電位V1は上昇し、時刻t11で比較電圧VRを越え、コンパレータ51の比較結果信号S51は“L”から“H”に変化する。

【0093】以降、位相比較器3はフィードバック信号FBCCLKの位相を進めることを指示し続けるためチャージポンプ6は電流I6を供給し続ける。したがって、 $V1 > VR$ の状態は維持されるため、時刻t11後に分周入力信号WCLKINが“H”に立ち上がる時刻t12、t13、t14毎にDフリップフロップ52、53、54は順次“H”をラッチする。

【0094】その結果、時刻t14で、Q出力信号S52~S54が全て“H”となってANDゲート59の出力である判定信号S59が“L”から“H”に変化するため、Dフリップフロップ55のQ出力であるスイッチ信号SWの値が反転する。

【0095】同時に、ANDゲート61の出力信号S61が“L”から“H”に変化するため、内部リセット信号IRSも“L”から“H”に変化して内部リセット状態となる。

【0096】次に分周入力信号WCLKINが“H”に立ち上がる時刻t15に、Dフリップフロップ56は“H”の判定信号S59をラッチしANDゲート61の他方入力が“H”から“L”にするため、出力信号S61は“H”から“L”に変化する。

【0097】“L”の出力信号S61はORゲート62を介してDフリップフロップ57のD入力に与えられるため、時刻t15以降における2回目のフィードバック信号FBCCLKの立ち上がり時刻t16にDフリップフロップ58に“L”がラッチされ、ORゲート63の出力信号である内部リセット信号IRSが“L”に立ち下がる。

【0098】このように、ロックはずれ判定回路13はチャージポンプ6による電流I6の過剰電流供給状態が所定期間(少なくとも分周入力信号WCLKINの2周期分、すなわち、入力信号CLKINの4周期分以上)以上続いたときに、判定信号S59を“H”にしてロックはずれ状態と判定する。

【0099】そして、“H”の判定信号S59によってスイッチ信号SWを反転させるとともに、内部リセット信号IRSを“H”にして内部リセット状態にする。なお、外部リセット時(外部リセット信号RSTが

“H”)には、判定信号S59の“H”, “L”に関係なく、ORゲート62, 63によって内部リセット信号IRSも“H”となる。

【0100】その結果、DLL回路12は、ロックはずれ状態判定時には内部リセット信号IRSが所定期間“H”となるため、遅延線9の遅延時間DT9を最小遅延時間ΔDTに初期設定した後、遅延時間DT9を増加させる方向で必ず遅延同期動作を行う。

【0101】＜スイッチ回路＞図12はスイッチ回路16の内部構成を示す回路図である。同図に示すように、インバータ71～73は直列に接続され、インバータ71の入力は入力信号CLKINを受け、インバータ73の出力はトランスファゲート74を介してノードN2に接続される。

【0102】また、インバータ71の出力はトランスファゲート76を介してインバータ77の入力にも接続され、インバータ77の出力はトランスファゲート78を介してノードN2に接続される。

【0103】トランスファゲート74のPMOSゲート及びトランスファゲート78のNMOSゲートにはスイッチ信号SWが付与され、トランスファゲート74のNMOSゲート及びトランスファゲート78のPMOSゲートにはスイッチ信号SWの反転信号バーSWが付与される。また、トランスファゲート76のNMOSゲートは電源に接続され、PMOSゲートは接地されることにより、常時オン状態に設定される。

【0104】ノードN2はインバータ75の入力に接続され、インバータ75の出力信号が信号S16として遅延線9に与えられる。また、トランスファゲート76はインバータ1個分の信号伝播遅延時間に設定される。

【0105】このような構成のスイッチ回路16は、スイッチ信号SWが“H”のとき、トランスファゲート74がオフトランスファゲート78がオンするため、入力信号CLKINの反転信号をインバータ75から出力し、スイッチ信号SWが“L”のとき、トランスファゲート74, 75がそれぞれオン、オフするため、入力信号CLKINの非反転信号をインバータ75から出力する。

【0106】図13はスイッチ回路16の動作を示すタイミング図である。同図に示すように、時刻t21にスイッチ信号SWの値がQからバーQに反転すると、この反転をトリガとして出力信号S16も反転する。その結果、反転した出力信号S16が遅延線9、内部回路17を経た時刻t22以降のフィードバック信号FBCCLKの位相が反転する。

【0107】その結果、入力信号CLKINに対しTA時間遅れていたフィードバック信号FBCCLKの位相が逆に時間TB(=T/2-TA)進むこととなる。このとき、ロックポイントは必ずT/2以内となる。

【0108】したがって、内部リセット信号IRSを

“H”にして、遅延線9の遅延時間DT9を最小遅延時間ΔDTに初期設定した後、遅延時間DT9を増加させる方向で遅延同期動作を実行することにより、入力信号CLKINとフィードバック信号FBCCLKとを速やかに同期させることができる。

【0109】なお、図13に示すように、フィードバック信号FBCCLKに一時的にひげが生じるが、Dフリップフロップ57, 58によってフィードバック信号FBCCLKの2サイクル期間は内部リセット信号IRSが“H”を保持できるため何等悪影響は生じない。

【0110】このように、実施の形態2のDLL回路12におけるロックはずれ判定回路13及びスイッチ回路16は、ロックはずれ現象時にフィードバック信号FBCCLKの位相を反転させることによって、入力信号CLKINとフィードバック信号FBCCLKとの位相差をT/2以内で逆転させることができるため、温度変化等によるロックはずれ現象が生じても速やかに再ロックが可能となる。

【0111】＜Dフリップフロップ＞図14は、Dフリップフロップ52～58の内部構成を示した回路図である。同図に示すように、D入力はトランスファゲート81を介してNANDゲート82の一方入力に接続される。また、NANDゲート82は他方入力にインバータ87の出力を受けるとともに、出力をインバータ85を介して一方入力に帰還させている。インバータ87の入力はリセット入力Rに接続される。

【0112】NANDゲート82の出力はトランスファゲート83を介してインバータ84の入力に接続され、インバータ84の出力がQ出力として外部に出力されるとともに、インバータ85を介して入力に帰還する。トランスファゲート81のPMOSゲート及びトランスファゲート83のNMOSゲートはクロック入力CLKに接続され、トランスファゲート81のNMOSゲート及びトランスファゲート83のPMOSゲートはインバータ86を介してクロック入力CLKに接続される。

【0113】このような構成のDフリップフロップは、通常時(リセット入力Rが“L”)は、クロック入力CLKの“L”時にトランスファゲート81, 82がオン、オフするためNANDゲート82, 85のループ接続による第1ラッチにD入力の反転値がラッチされる。一方、クロック入力CLKの“H”時にトランスファゲート81, 82がオフ、オンするため第1ラッチの反転値がインバータ84, 85によるループ接続による第2ラッチに転送される。

【0114】すなわち、Dフリップフロップは、通常時はクロック入力CLKの“H”立ち上がり時にD入力より得られる信号をラッチする。

【0115】一方、リセット時(リセット入力Rが“H”)は、D入力に関係なく第1ラッチには“H”がラッチされ、クロック入力CLKが“H”の時に第2ラ

ッチに“L”がラッチされる。

【0116】<<その他>>なお、実施の形態1及び実施の形態2において、(外部、内部)リセット実行時に、遅延線9の遅延時間DT9を最小遅延時間ΔDTに初期設定した後、遅延時間DT9を増加させる方向で必ず遅延同期動作を行うように構成したが、逆に遅延線9の遅延時間DT9を最大遅延時間に初期設定した後、遅延時間DT9を減少させる方向で必ず遅延同期動作を行うように構成してもよい。

【0117】この場合、初期設定時に遅延線9を構成するインバータ部の駆動能力が最低レベルになるため、遅延線9から出力される遅延入力信号CLKOUTの波形がなまりやすいという不利がある。

【0118】また、実施の形態2において、遅延線9が入力信号CLKINの1周期分の可変遅延時間範囲を有しておれば、スイッチ回路16とロックはずれ判定回路13のスイッチ信号SW生成部(Dフリップフロップ55、インバータ60)とを省略しても、ロックはずれ時に再び遅延同期することができる。

【0119】すなわち、図13ように、入力信号CLKINに対してフィードバック信号FBCLKの位相がTA遅れている現象は、フィードバック信号FBCLKINの位相が(T-TA)進んでいるとみなすこともできるため、ロックはずれ判定回路13がロックはずれ現象を検出して内部リセット信号IRSを“H”にすることにより、遅延時間DT9を増加させる方向でDLL回路12による遅延同期動作を実行して、入力信号CLKINとフィードバック信号FBCLKとを同期させることができる。

【0120】また、ロックはずれ判定回路13はLPF8のノードN1の電位V1をモニタ信号としてロックはずれ現象の有無を判断したが、位相比較器3による位相進み指示が過剰に行われていることを検出可能な信号であれば、いずれの信号であってもよい。

【0121】また、ロックはずれ判定回路13は、位相比較器3による位相遅れ指示が過剰に行われている場合を検出して、ロックはずれ現象の有無を判断するようにしてもよい。

【0122】

【発明の効果】以上説明したように、この発明における請求項1記載の遅延同期回路は、リセット信号が活性状態のとき第1の限界遅延時間を指示する遅延時間制御信号を出力する遅延時間制御手段と、リセット信号が活性状態から非活性状態となった時点以降の同期処理期間において、第1の限界遅延時間から第2の限界遅延時間に至る第1の方向への遅延時間の変動を強制的に指示する位相比較結果を出力する位相比較手段とを備えている。

【0123】したがって、リセット信号を活性状態にしてしかる後に非活性状態とする初期動作時に、請求項1記載の遅延同期回路は、必ず第1の限界遅延時間から第

1の方向に向けて遅延時間を変更させながら基準クロック信号と実使用クロック信号との遅延同期処理を行う。

【0124】その結果、初期動作時に第1の限界遅延時間からの第1の方向への遅延時間変動のみを考慮して可変遅延時間範囲を設定すれば良いため、可変遅延時間範囲を従来に比較して小さくしても初期動作時に正確な遅延同期動作が行え、回路構成及び消費電力を最小限にした遅延同期回路を得ることができる。

【0125】また、請求項2記載の遅延同期回路の第2の位相比較部はリセット信号が活性状態のとき、上記第1の方向と逆方向の第2の方向への遅延時間の変動の有／無を活性／非活性状態で指示する第2の比較結果を強制的に非活性状態にしている。

【0126】このため、リセット信号が活性状態のときは第1の方向への遅延時間の変動の有／無を活性／非活性状態で指示する第1の比較結果の活性状態期間が優先的に出力される。したがって、しかる後にリセット信号が活性状態から非活性状態に変化しても、リセット信号の活性状態時に優先的に出力された活性状態の第1の比較結果によって第2の比較結果が強制的に非活性状態にされるため、同期処理期間中は第1の比較結果の活性状態期間が第2の比較結果よりも長くなる。

【0127】その結果、リセット信号を活性状態にしてしかる後に非活性状態とする初期動作時に、位相比較手段は第1の方向への遅延時間の変動を指示する位相比較結果(第1及び第2の比較結果)を必ず出力する。

【0128】また、請求項3記載の遅延同期回路において、リセット信号は外部より入力可能な外部リセット信号を含むため、外部リセット信号を用いて初期動作を行うことができる。

【0129】また、請求項4記載の遅延同期回路の同期はずれ判定手段は、位相比較結果に関連した信号をモニタし位相比較結果が所定方向の遅延時間の変動を指示する度合いに基づき同期はずれ状態の有無を判定し、同期はずれ状態の判定時に所定期間活性状態となった後に非活性状態となる内部リセット信号を出力している。

【0130】その結果、同期はずれ状態判定時には必ず第1の限界遅延時間から第1の方向に向けて遅延時間を変更させながら基準クロック信号と実使用クロック信号との遅延同期処理が行うことができる。

【0131】また、請求項5記載の遅延同期回路は、チャージポンプの出力部に接続されるローパスフィルタの所定のノードの電位を上記位相比較結果に関連した信号としているため、所定のノードの電位と所定の比較電圧とのコンパレータによる比較結果に基づき同期はずれ状態を判定することができる。

【0132】また、請求項6記載の遅延同期回路の位相反転手段は、同期はずれ状態判定時をトリガとして遅延基準クロック信号の位相を反転させる反転操作を行うため、基準クロック信号と実使用クロック信号との位相関

21

係を、基準クロック信号の周期の半分以下の位相差で逆転させることができる。

【0133】その結果、同期はずれ状態判定時には必ず第1の限界遅延時間から上記位相差を狭める第1の方向に向けて遅延時間を変更させながら、速やかに遅延同期処理を行うことができる。

【0134】また、請求項7記載の遅延同期回路のロックはずれ判定手段は、外部リセット信号が活性状態のとき、強制的に内部リセット信号を活性状態にするため、外部リセット信号を用いて初期動作を行うこともできる。

【0135】また、請求項8記載の遅延同期回路において、第1の限界遅延時間は可変遅延時間範囲内の最小遅延時間を含み、第2の限界遅延時間は可変遅延時間範囲内の最大遅延時間を含み、第1の方向は遅延時間を増加させる方向を含んでいる。

【0136】したがって、リセット信号を活性状態にしてしかる後に非活性状態とする初期動作時に、必ず最小遅延時間から遅延時間を増加させながら基準クロック信号と実使用クロック信号との遅延同期処理を行う。

【0137】遅延手段の遅延時間を最小遅延時間に初期設定することにより、遅延手段の信号伝播駆動能力が大きい状態で遅延同期処理が行える。したがって、可変遅延手段を伝播する信号の波形なまりによるジッタの影響を最小に抑えることができる。

【0138】また、請求項9記載の遅延同期回路の同期はずれ判定手段は、位相比較結果に関連した信号をモニタし位相比較結果が所定方向の遅延時間の変動を指示する度合いに基づき同期はずれ状態の有無を判定することができるため、同期はずれ判定手段の判定結果に連動した処理を行うことにより、同期はずれ状態後の処理を自動的に行うことができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1であるDLL回路の構成を示す説明図である。

【図2】 実施の形態1の位相比較器の構成を示す回路図である。

【図3】 図2で示した位相比較部の内部構成を示す回路図である。

22

【図4】 位相比較器の動作を示すタイミング図である。

【図5】 位相比較器の動作を示すタイミング図である。

【図6】 実施の形態1のLPFの内部構成を示す回路図である。

【図7】 実施の形態1の遅延線の内部構成を示す回路図である。

【図8】 実施の形態1の遅延同期動作を示すグラフである。

【図9】 この発明の実施の形態2であるDLL回路の構成を示す説明図である。

【図10】 実施の形態2のロックはずれ判定回路の内部構成を示す回路図である。

【図11】 ロックはずれ判定回路の動作を示すタイミング図である。

【図12】 スイッチ回路の内部構成を示す回路図である。

【図13】 スイッチ回路の動作を示すタイミング図である。

【図14】 図10で示したDフリップフロップの内部構成を示す回路図である。

【図15】 従来のDLL回路の構成を示す説明図である。

【図16】 図15の位相比較器の構成を示す回路図である。

【図17】 図16で示した位相比較部の内部構成を示す回路図である。

【図18】 図16の位相比較器の動作を示すタイミング図である。

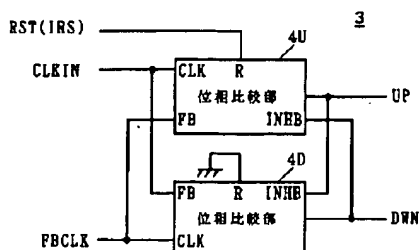
【図19】 図16の位相比較器の動作を示すタイミング図である。

【図20】 ロックはずれ現象を説明するためのグラフである。

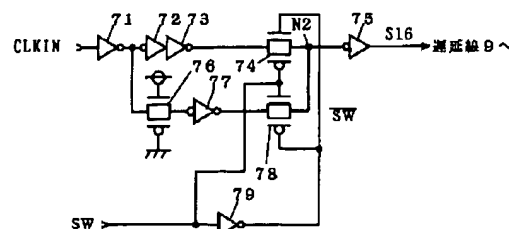
【符号の説明】

3 位相比較器、6 CP（チャージポンプ）、8 LPF（ローパスフィルタ） 9 遅延線、11、12 DLL回路、13 ロックはずれ判定回路、16 スイッチ回路。

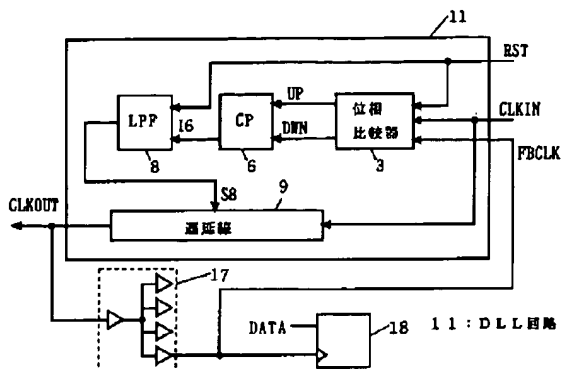
【図2】



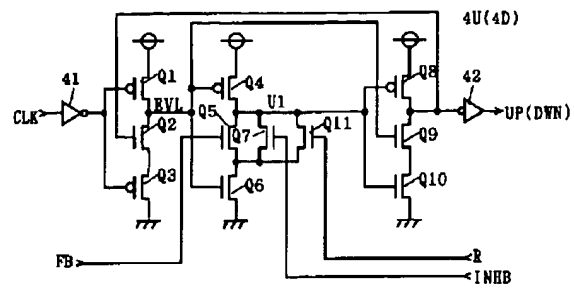
【図12】



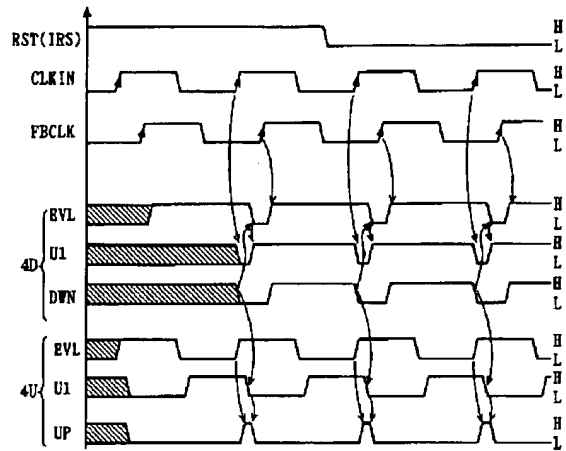
【図1】



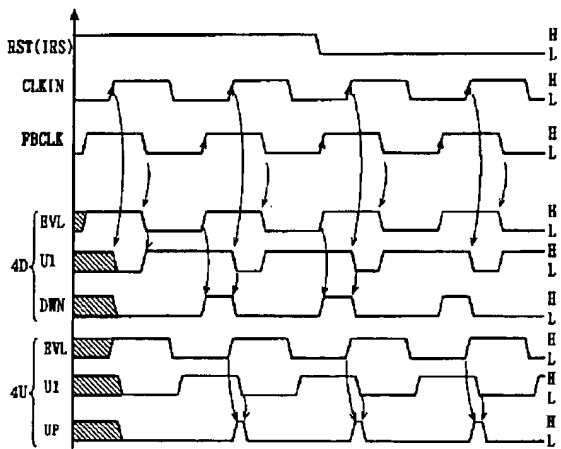
【図3】



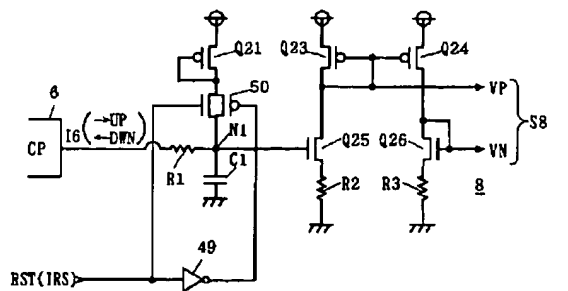
【図5】



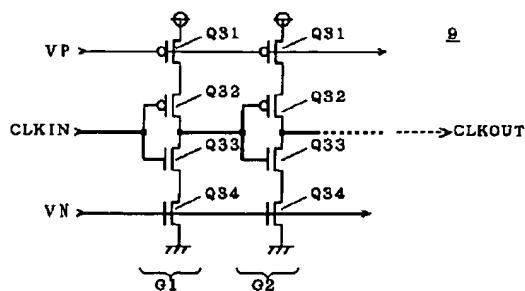
【図4】



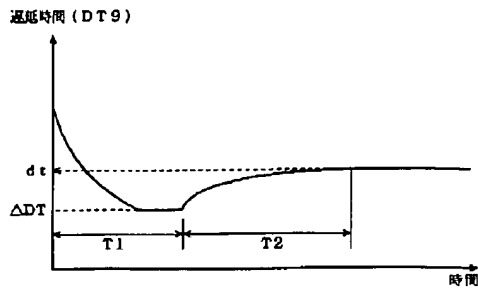
【図6】



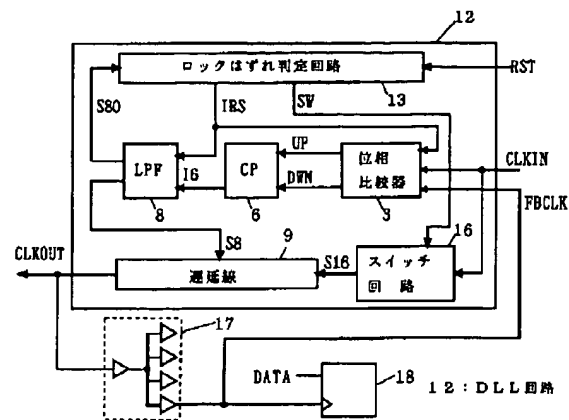
【図7】



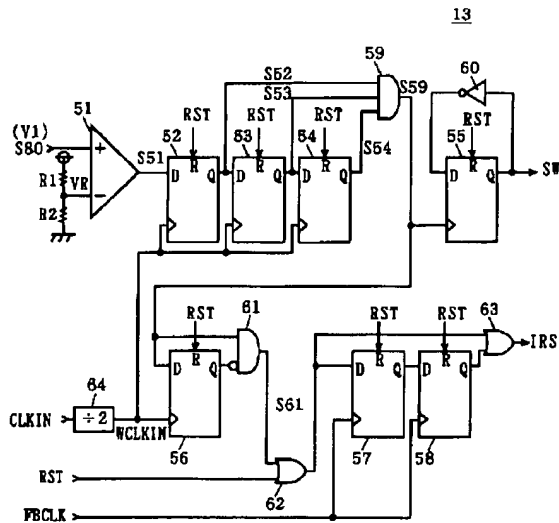
【図8】



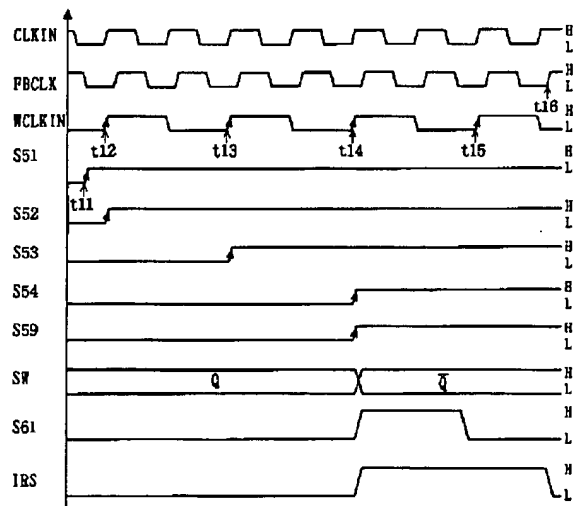
【図9】



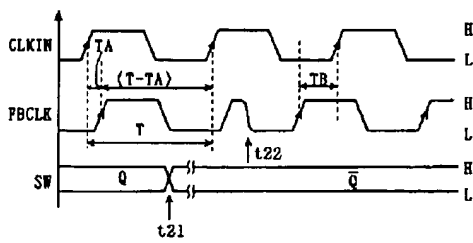
【図10】



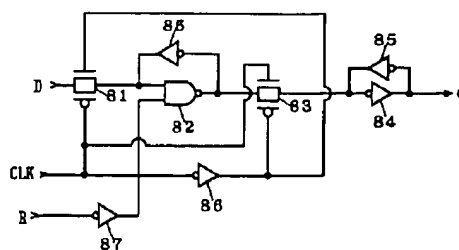
【図11】



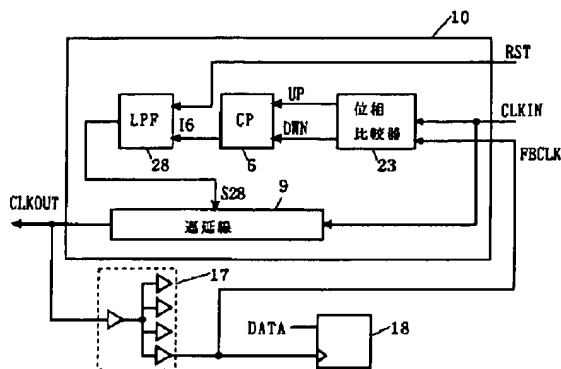
【図13】



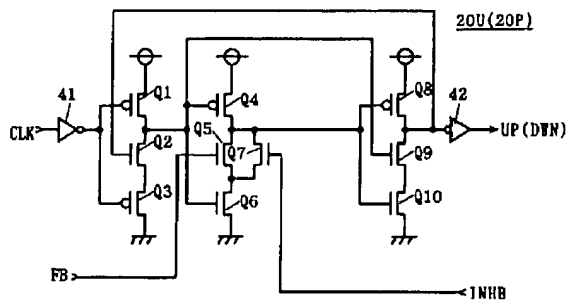
【図14】



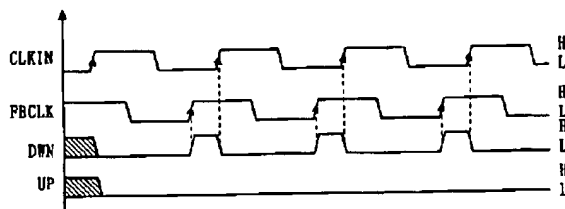
【図15】



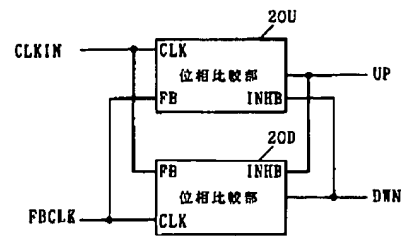
【図17】



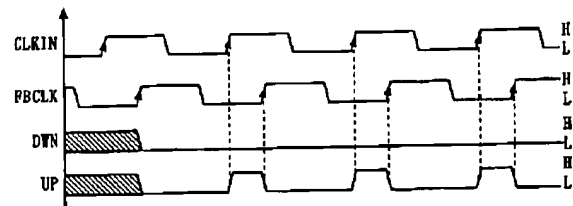
【図19】



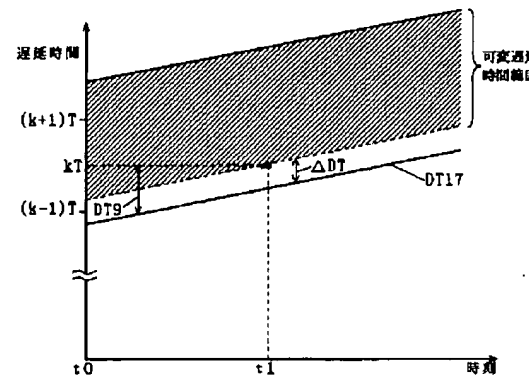
【図16】



【図18】



【図20】



フロントページの続き

(72)発明者 渡邊 直也
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 近藤 晴房
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 野谷 宏美
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内